

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09289513 A

(43) Date of publication of application: 04.11.97

(51) Int. CI

H04L 12/28

H04Q 3/00

(21) Application number: 08102135

(71) Applicant: MITSUBISHI ELECTRIC CORP

(22) Date of filing: 24.04.96

(72) Inventor: FURUYA SHINJI
KIKUCHI NOBUO

(54) ATM COMMUNICATION SYSTEM

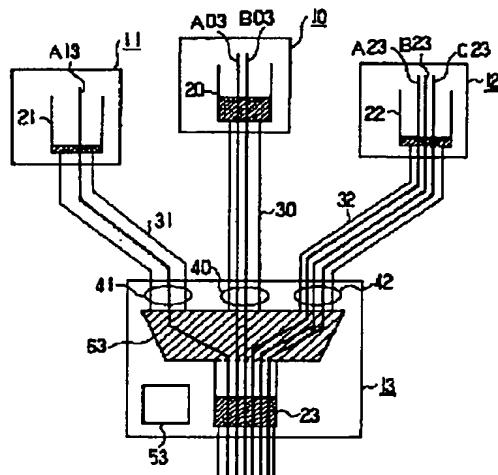
traffic quantity is required.

(57) Abstract:

COPYRIGHT: (C)1997,JPO

PROBLEM TO BE SOLVED: To predict VC in the state causing a congestion by permitting a traffic monitoring means arranged at the entrance of an ATM switch node to only monitor on-line information such as a burst size, etc., without executing traffic control such as CLP rewriting and cell annulment, etc., which the means originally has.

SOLUTION: The ATM switch node 13 is provided with UPCs 40-42 of the traffic monitoring means, which are provided at every communication lines so as to monitor the traffic quantity of a cell at the entrance of VC, a buffer 23 and a cell hearting/multiplex function part 63 which are formed inside the switch held by the node so as to store the cell and a processor 53 operated as a traffic means which executes the control of the whole node such as connection receiving control, etc., and predicts the occurrence of the congestion by on-line information. UPCs 40-42 only monitors a rate and the burst size being on-line information. The processor 53 predicts the occurrence of the congestion and indicates burst control only as against VC where the adjustment of



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-289513

(43)公開日 平成9年(1997)11月4日

(51)Int.Cl.⁶
H 04 L 12/28
H 04 Q 3/00

識別記号 庁内整理番号
9466-5K

F I
H 04 L 11/20
H 04 Q 3/00

技術表示箇所
G

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21)出願番号

特願平8-102135

(22)出願日

平成8年(1996)4月24日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 古谷 信司

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 菊地 信夫

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

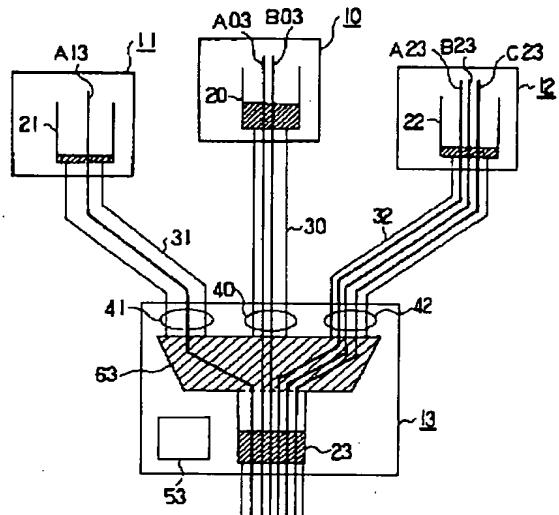
(74)代理人 弁理士 吉田 研二 (外2名)

(54)【発明の名称】 ATM通信方式

(57)【要約】

【課題】 バーストの発生を予測してセルの幅転・廃棄を可能な限り未然に防止するATM通信方式を提供する。

【解決手段】 ATMスイッチノード13は、VCの入口でバーストサイズのオンライン情報のみの監視を行い、違反セルのCLP書き換え、廃棄動作を行わないUPC42と、ピークレートのみでシェイピングすることができるクラスを持ち、更に特定のVCのセルのみを別の遅延優先順位クラスに切り替え／復帰する機能を備えた複数クラス遅延優先制御機能付きのバッファ23と、オンライン情報に基づいて幅転の発生の予測を行うプロセッサ53と、セルルーティング／多重機能部63とを有し、バーストサイズにより近い将来にバーストを発生するであろうVCを予測してバースト抑制指示を通知し、前段のスイッチに算出した抑制レート値内でトラヒックを完全に止めることなくセル転送を行うよう前もってトラヒック制御を行わせる。



10~13: ATMスイッチノード

20~23: バッファ

30~32: 回線

40~42: U.P.C.

53: プロセッサ

【特許請求の範囲】

【請求項1】 複数のVCの入口でセルのトラヒック量を監視するトラヒック監視手段を含むATMスイッチノードにより構築されるATMネットワークにおいて、前記トラヒック監視手段は、セルが送られてくる各VCのオンライン情報の監視のみをリアルタイムに行い、オンライン情報に基づいて輻輳の発生の予測を行うことを特徴とするATM通信方式。

【請求項2】 前記トラヒック監視手段は、UPCであることを特徴とする請求項1記載のATM通信方式。

【請求項3】 オンライン情報に基づいて輻輳の発生の予測を行うトラヒック予測手段を有し、前記トラヒック予測手段は、オンライン情報に基づいて輻輳の発生の原因となるVCを予測し、その予測したVCのみをトラヒック量抑制対象とすることを特徴とする請求項2記載のATM通信方式。

【請求項4】 バーストサイズをオンライン情報として使用することを特徴とする請求項1、3いずれかに記載のATM通信方式。

【請求項5】 VBRクラスのトラヒック量をオンライン情報として使用することを特徴とする請求項1、3いずれかに記載のATM通信方式。

【請求項6】 MBSに対するバーストサイズの占める割合によりバースト予測を行うことを特徴とする請求項4、5いずれかに記載のATM通信方式。

【請求項7】 前記トラヒック予測手段は、トラヒック量抑制対象としたVCに対してトラヒック量抑制指示情報を通知することを特徴とする請求項3記載のATM通信方式。

【請求項8】 各VCのトラヒックパラメータに基づいて算出した許容セルレートをトラヒック量抑制指示情報とすることを特徴とする請求項7記載のATM通信方式。

【請求項9】 複数のVCから送られてくるセルを一時記憶するバッファと、前記バッファを使用して遅延優先制御機能を実現する優先制御手段などを含むATMスイッチノードにより構築されるATMネットワークにおいて、

前記優先制御手段は、後段のATMスイッチノードからトラヒック量抑制指示により決められた抑制レート値によるピークレートシェイピングを行うことを特徴とするATM通信方式。

【請求項10】 前記バッファは、品質クラス別に設定された品質クラスキューと、各品質クラスキューに対応して設けた仮想キューと、を有し、

前記優先制御手段は、後段のATMスイッチノードからトラヒック量抑制の指示を受けたときに、その後に発生するセルをトラヒック量抑制の解除指示を受け取るまで仮想キューに書き込み自己レート規制を行うことを特徴

とする請求項9記載のATM通信方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ATM通信方式、特にATMスイッチノードが複数接続された私設、あるいは公衆ATMネットワークにおけるセル輻輳・廃棄制御に関する。

【0002】

【従来の技術】 従来のATMネットワークにおいてトラヒックの制御を行うためには、例えば、ATM-LANネットワーク（（株）SRC、第111頁～第127頁）に記載されているように、まず、VC（Virtual Channel）つまり呼毎にPCR（ピークセルレート）、CDVT（セル遅延変動許容度）、SCR（平均セルレート）、BT（バースト許容度）といったトラヒックパラメータを設定する。端末は、基本的にこれらのパラメータに従ったトラヒックをネットワークに対して送信しなければならない。これを越えてしまつたセルについては、ネットワーク側の入口でUPC（User Parameter Control）機能やNPC（Network Parameter Control）機能のトラヒック監視手段によるレート規制制御にかかり廃棄されるか、廃棄優先のCLP（Cell Loss Priority）のビットフラグが付加される。これも申告以上のトラヒック量をATMネットワーク内に入れないことによって、ネットワークでの輻輳・廃棄等を防ぐための手段の一つである。

【0003】 また、ATMネットワークでは、異なる品質クラス（トラヒッククラス）でトラヒックを扱うことができ、品質クラス毎にバッファを利用した優先制御（遅延優先）を行う。品質クラスとして、音声や映像を対象としたCBR、可変レートの映像を対象としたVBR、既存LANでのデータ通信を主な対象としたABR及びPCR以外の一切の制御を行わないUBRが用意されており、その優先順位は、CBR、VBR、ABR、そしてUBRの順となっている。

【0004】 このように、基本的にネットワークへの入力規制と品質クラス毎の優先制御を行うことによってトラヒック制御を行う。特に、ABRクラスについては、フィードバック機能を用いた輻輳制御が規定されている。この輻輳制御というのは、ネットワーク内のATMスイッチノードが、それぞれの回線のトラヒック状態を監視し、ABRクラスの呼に対してその回線の利用状況を通知するための管理セル（RMセル）を発行する機能を持っていることを前提とし、送信端末は、その管理セルに含まれるトラヒック量抑制指示に関する情報を従つて利用可能なトラヒック量だけ送信することによってネットワーク内での輻輳・廃棄を防ごうとする技術である。これは、一般的にバックプレッシャと呼ばれるトラヒック制御技術も併用している。

【0005】また、論文「バックプレッシャふくそう制御方式の基本特性の解析」(電子情報通信学会論文誌B-1 Vol. J78-B-1 No. 12 第837頁～第845頁、1995年12月)に記載されているように、ABRのバックプレッシャと違って端末間ではなくATMスイッチノード間でセル転送を抑制することによって幅轍制御するものがある。この時、前段のノードからのセル転送を完全に止めてしまうものと、VC毎にセル転送を止めようとする考え方がある。

【0006】また、トラヒック予測に関しては、特に一般化されていないが、主流としてあるのは、装置内のトラヒックを常に測定してその蓄積データを様々な方式で解析したデータを取っておき(一般に学習と呼ぶ)、学習結果に現在のトラヒック状況を当てはめて近々に起るトラヒックを予測するものである。

【0007】

【発明が解決しようとする課題】しかしながら、前述したABRクラスの幅轍制御の方式では、ATMスイッチノードで行っているネットワーク内のトラヒック制御を送信端末に委任することになるため、送信端末側での負荷が重くなってしまうという問題があった。また、その幅轍制御方式は、ABR用ということもあり、当然VBR等他の品質クラスにおけるリアルタイム性が要求されるトラヒックの幅轍制御には適用することはできない。実際のところVBRの場合、UPCでチェックされた後の品質については、ネットワークを出るまでの順次第ということになっている。

【0008】また、バックプレッシャに関しては、従来のように完全に転送を止めてしまっては、そのバッファで幅轍が起きやすくなつて幅轍伝播が起こったり、幅轍と関係のないVCにまで影響が及んでしまうことになる。これを防ぐためにVC毎にセル送信を止めるというものがあるが、これを実現するにはかなりのH/W量が必要となり現実的ではない。

【0009】また、前述のように学習機能を必要とするような予測の場合、そのトラヒック量についてモニタする機能はもちろん、それを処理するための高度なプログラムをメインプロセッサに搭載する必要があるため、パフォーマンスの低下あるいはメモリ量の増大等かなりのH/W量が必要となってしまう。

【0010】更に、ATMネットワーク内を流れるトラヒックは、それぞれ4種類の品質クラスの内の1つに該当するトラヒック特性を持っているが、ABRのみが優先制御以外の幅轍制御の具体的な対象となっており、VBRについては考慮されていない。

【0011】本発明は以上のような問題を解決するためになされたものであり、その目的は、バーストの発生を予測してセルの幅轍・廃棄を可能な限り未然に防止するATM通信方式を提供することにある。

【0012】

【課題を解決するための手段】以上のような目的を達成するために、本発明におけるATM通信方式は、複数のVCの入口でセルのトラヒック量を監視するトラヒック監視手段を含むATMスイッチノードにより構築されるATMネットワークにおいて、前記トラヒック監視手段は、セルが送られてくる各VCのオンライン情報の監視のみをリアルタイムに行い、オンライン情報に基づいて幅轍の発生の予測を行うことを特徴とする。

【0013】また、前記トラヒック監視手段は、UPCであることを特徴とする。

【0014】また、オンライン情報に基づいて幅轍の発生の予測を行うトラヒック予測手段を有し、前記トラヒック予測手段は、オンライン情報に基づいて幅轍の発生の原因となるVCを予測し、その予測したVCのみをトラヒック量抑制対象とすることを特徴とする。

【0015】また、バーストサイズをオンライン情報として使用することを特徴とする。

【0016】また、VBRクラスのトラヒック量をオンライン情報として使用することを特徴とする。

【0017】また、MBSに対するバーストサイズの占める割合によりバースト予測を行うことを特徴とする。

【0018】また、前記トラヒック予測手段は、トラヒック量抑制対象としたVCに対してトラヒック量抑制指示情報を通知することを特徴とする。

【0019】また、各VCのトラヒックパラメータに基づいて算出した許容セルレートをトラヒック量抑制指示情報とすることを特徴とする。

【0020】また、複数のVCから送られてくるセルを一時記憶するバッファと、前記バッファを使用して遅延

30 優先制御機能を実現する優先制御手段とを含むATMスイッチノードにより構築されるATMネットワークにおいて、前記優先制御手段は、後段のATMスイッチノードからトラヒック量抑制指示により決められた抑制レート値によるピークレートシェイピングを行うことを特徴とする。

【0021】更に、前記バッファは、品質クラス別に設定された品質クラスキュート、各品質クラスキュートに対応して設けた仮想キュートを有し、前記優先制御手段は、後段のATMスイッチノードからトラヒック量抑制

40 の指示を受けたときに、その後に発生するセルをトラヒック量抑制の解除指示を受け取るまで仮想キュートに書き込み自己レート規制を行うことを特徴とする。

【0022】

【発明の実施の形態】以下、図面に基づいて、本発明の好適な実施の形態について説明する。なお、各図において同じ構成要素には同じ符号を付ける。

【0023】図1は、本発明に係るATM通信方式の一実施の形態を適用するATMネットワークの一部を示した図である。本実施の形態を適用するATMネットワー

50 クは、私設あるいは公衆のシステムで適用可能であり、

その形態は、従来と同様で、複数のATMスイッチノード10, 11, 12, 13と各ATMスイッチノード間を接続し、155Mbpsの容量を持つ物理的な通信回線30, 31, 32とで構成される。この構成において、いずれかのATMスイッチノード及び通信回線を通るVCを形成して端末間のデータ転送を行う。

【0024】図2には、ATMネットワークを構成するATMスイッチノード13の構成が、隣接したATMスイッチノード10～12の要部とともに示している。なお、ATMネットワークを構成するATMスイッチノード13以外のATMスイッチノードも同じ構成であるが、説明上不要な構成要素は図から省略している。ここでは、代表してATMスイッチノード13の構成を説明する。ATMスイッチノード13は、通信回線毎に設けられ、VCの入口でセルのトラヒック量を監視するトラヒック監視手段としてのUPC40, 41, 42と、ノードが持つスイッチ内部に形成され、セルを一時記憶するバッファ23及びセルルーティング／多重機能部63と、コネクション受付制御、幅轍・廃棄制御などノード全体における制御を行い、また、オンライン情報に基づいて幅轍の発生の予測を行うトラヒック予測手段として動作するプロセッサ53とを有する。このうち、バッファ23は、ATMスイッチノード13内部の回線出力用バッファのうちの一つである。バッファ23は、他のバッファ20～22と同様、ピーカレートのみでシェイピングすることのできるクラスを持ち、更に特定のVCのセルのみを別の遅延優先順位クラスに切り替え／復帰する機能を備えた複数クラス遅延優先制御機能付きバッファである。セルルーティング／多重機能部63は、バッファ23の入口において各回線から入力されたセルを多重化する。また、本実施の形態におけるUPC40～42は、通信回線30～32を通るVBR呼についてトラヒック監視機能を実行している。但し、その機能は、オンライン情報であるバーストサイズの監視のみを行い、違反セルのCLP書き換え、あるいは廃棄動作は行っていない。モニタ中のバーストサイズは、ATMスイッチノード13内部のプロセッサ53により参照される。

【0025】また、図2において、通信回線30には、バッファ20とバッファ23とを通過するVBRクラスの呼(VBR-VC)であるA03およびB03が張られている。また、通信回線31にはバッファ21とバッファ23とを通過するVBR-VCのA13が張られ、同様に、通信回線32にはバッファ22とバッファ23とを通過するVBR-VCのA23、B23およびC23が張られている。

【0026】図3に上記各VBR-VCのSCR、PCR及びMBSの具体的な数値例を表にして示している。図3によると、バッファ23には合計20Mbps分のCBR呼及びいくつかのABR、UBR呼が張られているとした場合、バッファ23において少なくとも保障す

べきセルレート(最低保障要求セルレート)は、上記20Mbpsに各VCR-VCのSCRの合計値(80Mbps)を加えた100Mbpsとなり、また、バーストが発生した場合のバッファ23における最大要求セルレートは、上記20Mbpsに各VCR-VCのPCRの合計値(210Mbps)を加えた230Mbpsとなる。

【0027】本実施の形態において特徴的なことは、UPC40～42は、違反セルのCLP書き換えや廃棄動作を行わずオンライン情報であるレートとバーストサイズの監視のみを行うことであり、プロセッサ53は、オンライン情報に基づいて幅轍の発生の予測を行い、トラヒック量の調整が必要であると思われるVCのみに対してバースト抑制指示を通知することである。

【0028】次に、本実施の形態の特徴であるVBRクラスセル幅轍予測／廃棄抑制機能の動作例を以下に説明する。

【0029】ある時、バッファ23のセル充填度がある値を超え、かつ各VBRのUPCによりモニタしているオンライン情報としてのバーストサイズが図4に示した値になっていたとする。この場合、もしVBR-VCのA13、B03、B23及びC23において同時にバーストが発生した場合、各VBR-VCのPCRの合計値が160Mbpsとなるので、簡単に回線容量である155Mbpsを越えてしまうことが予想される。なおかつ、現在のバーストサイズは、それぞれのMBSに対してA13が5%、B03が0%、B23が0%、そしてC23が10%であるため、近い将来にMBSでセルの送信が発生する可能性が非常に高い。そこで、これらのVBR-VCに対してトラヒック抑制指示としてバースト抑制の準備に入るよう、制御フレームによって前段の各ATMスイッチノードに通知する。本実施の形態においては、バーストサイズをリアルタイムに監視してMBSに至るセルの送信を予測すること、並びに前段へのバースト抑制指示を制御フレームを形成して通知することを特徴としている。制御フレームに関しては後述する。

【0030】ここで、VBR-VCのA03は、バーストサイズはMBSに対して0%と、近い将来にバーストを控えている可能性が高いことを示しているが、そのPCR及びMBSの絶対値が小さいため、実際にバッファ23での幅轍／廃棄に与える影響は小さいと考えられる。また、A23はPCR、MBS共に比較的大きくバッファ23での幅轍／廃棄に与える影響は大きいが、バーストサイズが現在90%であり近い将来にバーストが控えている可能性は低いので、結局のところ近い将来にバッファ23での幅轍／廃棄に与える可能性は低いと考えられるためバースト抑制制御の対象VCとはならない。従って、図3に示した数値例に基づく本実施の形態においては、VBR-VCのうちA03とA23を除く

B03、A13、B23及びC23をバースト抑制対象と特定する。

【0031】ATMスイッチノード13のプロセッサ53では、前述したようにモニタ中の各VBR-VCのバーストサイズからB03等の制御対象VCを特定すると、各制御対象VCのトラヒックパラメータつまり品質情報のうちSCR、PCR及びMBSに基づいて抑制レート値を求めるため、算出付加レートを次のようにして算出する。算出付加レートというのは、各VBR-VCからのセル流量を、SCRからどのくらい上回ったセルレートまで許容するかを示す値であり、制御対象VCにおいては、仮のPCRに相当することができる。この仮のPCRに相当する値が抑制レート値であり、SCRに算出付加レートを付加することで得られる。この算出付加レートの算出過程の計算値を図4に示し、その手順を図5のフローチャートに示す。

【0032】まず、バッファ23において、各制御対象VCのPCRとSCRとの差(p_{sn})及びMBS(m_{bs_n})の合計値(m_{bs_sum})をそれぞれ算出する(ステップ101)。次に、各制御対象VCのパラメータ(p_{1n})を図5に示した計算式で算出する(ステップ102)。この計算式は、バースト領域つまり($PCR - SCR$)とMBSの逆数の積であり、 $(PCR - SCR)$ が大きければ大きく、MBSが大きければ小さくなるように設定される。つまり、各制御対象VCのSCRに付加される算出付加レートは、MBSの大きなものほど、またSCRとPCRの差の小さなもののほど小さくなる。その理由としてはMBSの大きなもののレート値を大きくすると廃棄に至る可能性が大きくなり、SCRとPCRの差の大きなものを小さくしてしまうとセル遅延への影響が大きくなるからである。続いて、各制御対象VCのパラメータ(p_{1n})の合計値(p_{1_sum})を算出し(ステップ103)、また、回線容量($155Mbps$)から前述した最低保障要求セルレート($100Mbps$)を差し引いた値($rem_rate = 55Mbps$)を算出する(ステップ104)。そして、各制御対象VCの算出付加レートを図5に示した計算式で算出する(ステップ105)。このようにして、算出付加レートを求めることができる。

【0033】なお、本実施の形態においては、バッファに与える影響により制御対象VCを選択し、上記手順により上記計算式を用いて各制御対象VCの算出付加レートを求めたが、適宜、係数を設定したり異なる式を用いてもよい。簡単にいえば、上記の手順は、 rem_sum の値をVCR-VCそれぞれに割り振るための手順であり、その割合をどのようにして決めるかの方法を単に示している。

【0034】ここで、制御フレームについて説明する。図6は、本実施の形態における制御フレームのデータ構成を示した図である。制御フレームには、通知すべきバ

ースト抑制指示としてトラヒック量抑制指示情報が格納される。図6において、制御フレーム表示フィールドには、他のフレームと異なり制御フレームであることと示す識別情報が設定される。VPI/VCIフィールドには、制御対象となるVCのVPI/VCIが設定される。総レートフィールドには、ATMスイッチノード毎の算出付加レートの合計値が設定される。例えば、ATMスイッチノード12に送られる制御フレームの総レートフィールドには、B23とC23の算出付加レートの10 総和“24.6”とSCRの総和“28”的である

“52.6”が設定されることになる。なお、A23は制御対象ではないためその算出付加レートは“0”である。

【0035】そして、算出付加レートフィールドに含まれるVCの最終フィールドの先頭に最終データであることを示すフラグ“1111b”が、また、VCの最終でないフィールドの先頭に途中データであることを示すフラグ“0000b”が、それぞれ設定される。

【0036】ATMスイッチノード13の前段のATMスイッチノード10~12は、ATMスイッチノード13から制御フレームを受け取ると、そのバースト抑制指示に従いトラヒック制御を行うが、その説明の前に、各スイッチの回線出力バッファ20~23について説明する。

【0037】各回線出力バッファ20~23は、複数のFIFO型メモリを一つの物理メモリで仮想的に実現した共通バッファ型のセルキュームメモリである。通常の状態では図7に示したように、“CBRセルキュー”、“VBRセルキュー”、“ABRセルキュー”及び“UBRセルキュー”の4種類のキューが存在していて、この順で遅延優先制御を行っている。

【0038】図7に示した仮キュー70、71は、制御状態に入ったときだけ一時に生成される仮想キューである。このうち仮キュー70は、その遅延優先順位がVBRクラスより高くCBRクラスより低い。仮キュー71は、その遅延優先順位がVBRクラスより低くABRクラスより高い。なお、仮キュー70、71は、共に各バッファの回線の接続先のスイッチの収容回線数だけ同時に存在することが可能である。また、同時に存在する40 それぞれの仮キュー70、71の優先順位は、それぞれ同一レベルでなければならない。また、仮キュー70は、シェイパ73が実現するシェイピング機能に対応している。

【0039】また、各スイッチは、各回線出力バッファ20~23の仮想FIFOキューである仮キュー70、71を実現するためのコントローラ74を有しており、図7に示すような各キューに固有のレジスタを保有している。各レジスタは、8ビットから構成され、上位4ビットをコントローラ74における比較対象としている。この比較対象ビットのうち上位2ビットは、品質クラス

を示している。本実施の形態においては、CBRクラスは“00”、VBRクラスは“01”、ABRクラスは“10”、UBRクラスは“11”としている。残りの下位2ビットは、VBRクラス以外は常に“0”を示す。VBRクラスでは、通常時は“10”、仮キュー70では“00”、仮キュー71では“11”に逐次設定される。比較対象ビット以外の残りの下位ビットは、レジスタ番号が書き込まれている。従って、キューは16種類まで同時に存在することが可能であり、CBR、VBR、ABRおよびUBRの各キューで4つが予約されているので、後段のATMスイッチノードでの収容回線数は12以下であることが要求される。

【0040】コントローラ74は、セルの存在する、あるいはセルが存在してかつシェイパ73から送信許可のでているキューに対応する各レジスタの上位4ビットを比較して、最も値の小さいものを選択し、そのキューのセルを送信する。これにより、優先制御及びシェイピングを絡めたキュー制御を行うことができる。

【0041】以上の構成のスイッチを有する各ATMスイッチノード10～12は、ATMスイッチノード13から制御フレームを受け取ったときにトラヒック制御を行なう。次に、このトラヒック制御として行われるキュー切替／復帰方式について図8に示したキューの遷移図を用いて説明する。なお、CBR、ABR及びUBRクラスには影響を与えないVBR、仮キュー70、71についてのみ説明する。

【0042】図8(a)は、後段のATMスイッチノードからバースト抑制指示を含む制御フレームが送られてくる以前の通常時のVBRのキュー状態である。図8(b)は、後段のATMスイッチノードから制御フレームを受けた直後の状態を示している。まず、現在使用されていない仮キューを選択してその優先順位クラスを仮キュー71と同様に元のVBRクラスのすぐ次の優先順位クラスに設定する。本実施の形態においては、予め仮キューを生成しておき、必要に応じて未使用的仮キューを選択しこの処理における仮キュー71として使用する。そして、制御対象となるVCのセルが今後この仮キュー71に書き込まれるように設定した後、元のVBRキューに制御セルを書き込む。このように、仮キュー71を設けたことで、後段のATMスイッチノードからのトラヒック量抑制指示によりトラヒック制御を行っているスイッチにおいてセルの廃棄を防止することができる。

【0043】なお、本実施の形態においては、仮キューを設けてそれを利用してトラヒック制御を行うことを特徴とするものであり、仮キュー70、71の生成及び消滅等のタイミングは、設計事項である。従って、仮キューを予め生成しておかなくとも適宜生成するなど使用環境等に応じたシステム設計を行えばよい。制御セルは、アイドルセル等通常ATMスイッチノード内には存在し

ないものを利用する。制御セルとしての識別情報は、適当にセル内に設定すればよい。

【0044】図8(c)は、元のVBRキューから図8(b)で書き込んだ制御セルがこのVBRキューから読み出される瞬間を示す。制御セルが読み出されるということは、キューイングされたセルが送出され、VBRキューには制御対象VCのセルが残っていないことを意味する。

【0045】図8(d)は、PCRによるシェイピングを開始するときの動作を示している。図8(c)の状態のあと、仮キュー71をVBRクラスのすぐ上の優先順位クラスに設定し直す。つまり、仮キュー71を仮キュー70として取り扱うようになる。そして、これと同時に制御フレームによって予め与えられた算出付加レートにより得た抑制レート値によるピークレートシェイピングを開始する。

【0046】図8(e)は、後段のATMスイッチノードから回復通知を受けた後の処理を示している。後段のバッファ23で輻輳状態が回復したことを総レートフィールドの値が“0”である制御フレームによって通知されると、仮キュー70内のセルがなくなることを監視するモードに入る。仮キュー70は、CBRの次の優先順位であり、また、CBRおよび仮キュー70に設定された対象VCのSCRの総和が回線要領を超えることはあり得ない。従ってこのままで仮キュー70内のセルがなくなる時に必ず至る。

【0047】図8(f)は、仮キュー70が空になったときの処理を示している。制御対象VCのセルは、図8(g)における処理によりVBRキューに書き込まれるようになっているので、いずれ仮キュー70は空になる。この直後から、制御対象VCのセルを元のVBRキューに書き込まれるようにする。

【0048】図8(g)は、仮キューを取り外して元の状態つまり図8(a)に戻った様子を示している。以上がバッファ20～23の動作である。

【0049】このように、制御フレームを受け取った各スイッチでは、そのフレームの内容に対応した動作を直ちに実行する。そして、図8(d)までいったところで状態を保持する。その後、後段のスイッチから輻輳回復通知の制御フレームを受け取ると、図8(e)の動作に移り、最終的に仮キュー70を優先制御の対象から外して元の状態に復帰する。

【0050】以上のように、本実施の形態によれば、制御対象VCの全てにバーストが発生した場合でも、前段のATMスイッチノードにバースト抑制指示を通知しているので、前段のATMスイッチノードからのセル転送量が後段のバッファの回線容量値に抑えることができる。このため、各セルの遅延は大きくなるが後段のバッファでの輻輳および廃棄は抑制されることになる。また、VBR-VCのバーストが与える影響として、AB

11

R や U B R など、V B R より遅延優先順位の低い品質クラスへの影響があるが、A B R および U B R の上位優先順位クラスである V B R トラヒックのバーストの発生が抑えられるために A B R および U B R 品質クラスのセルに対しても廃棄の抑制効果がある。従って、A B R のように廃棄品質も要求されている品質クラスに関して特に有効となる。また、仮キュー生成による特定の V C のキュー一切替方式により、輻輳と関係のない V C のセルには全く影響を与えることなく輻輳・廃棄制御を実現することができる。また、完全に止めてしまう場合と異なり、制御対象となった V C であっても V B R の S C R 以上のセルレートで常にセルを吐き出されていることから、比較的小さなバッファによっても廃棄抑制が可能となる。

【0051】なお、上記実施の形態においては、トラッカ監視手段としてUPCを用いたが、本発明は、NPCの場合でも適用可能である。

[0052]

【発明の効果】本発明によれば、ATMスイッチノードの入口に配置されるトラヒック監視手段が本来持つCLP書き換えやセル廃棄などのトラヒック制御は行わせずに、バーストサイズなどのオンライン情報の監視のみを行うようにしたので、ATMスイッチノードの内部においてそのオンライン情報に基づいて輻輳及びセル廃棄を生じさせるような状況にあるVCを予測することが可能となる。特に、バーストサイズをリアルタイムに監視することで、近い将来にMBSでセルの送信が発生する可能性が高いVCを予測することができる。

【0053】また、このような幅輶・廃棄の防止のためにトラヒック量の調整が必要であると考えられるVCのみ制御対象とし、また、これによりトラヒック予測手段に対する負荷を軽減することができるので、このような制御対象以外のVCに対しては遅延増大の影響を極力削減することが可能となる。

【0054】また、制御対象VCが通る前段のATMスイッチノードに対してトラヒック量抑制指示を前もって通知することができるので、その通知を受けた前段のATMスイッチノードにおいてトラヒック制御を行わせることが可能となる。これにより、前段のATMスイッチノードからのセル転送量をバッファの回線容量値に抑えることができるので、予想される幅轄・廃棄を未然に防止することが可能となる。

12

【0055】また、A B R クラス以外のV B R クラスにおいてもフィードバック機能による輻輳制御を実現することが可能となる。

【0056】また、後段のATMスイッチノードからトラヒック量抑制指示を受け取ったATMスイッチノードは、仮キューを設けこの仮キューを含むキュー制御により優先制御を行うようにしたので、セルの送出を完全に止めてしまうのではなくシェイピングによって後段からのトラヒック量抑制指示に従った抑制レート値内で送信し続けることが可能となる。また、VBRトラヒック特性に注目して制御対象VCをシェイピングによってレートを抑えるという輻輳・廃棄制御を行うようにしたため、VBRよりも遅延優先順位の低い品質クラス(ABR、UBR)への廃棄品質に関する影響も制限できることになる。

【図面の簡単な説明】

【図1】 本発明に係るATM通信方式を適用するATMネットワークを構成するATMスイッチノードの接続例を示した図である。

20 【図2】 図1に示したATMスイッチノードの構成を示した図である。

【図3】 本実施の形態におけるトラヒックパラメータの数値例を示した図である。

【図4】 図3に示したトラヒックパラメータに基づいて算出した算出付加レート及びその算出過程の計算値を示した図である。

【図5】 本実施の形態における算出付加レートの算出手順を示したフローチャートである。

【図6】 本実施の形態における制御フレームのデータ構成を示した図である。

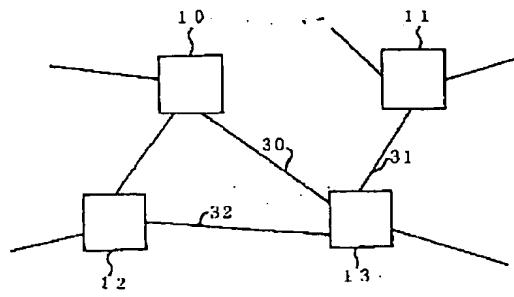
【図7】 本実施の形態におけるスイッチの構成を示した図である。

【図8】 本実施の形態における回線出力バッファのレートシーケイビングによる状態の遷移を示した図である。

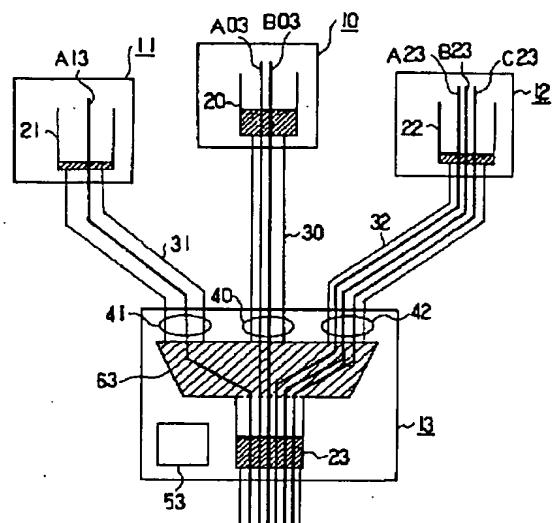
【符号の説明】

10, 11, 12, 13 ATMスイッチノード、20, 21, 22, 23バッファ、30, 31, 32通信回線、40, 41, 42 UPC、53 プロセッサ、63 セルルーティング／多重機能部、70, 71仮キュー、73シェイプ、74 コントローラ

【図1】



【図2】



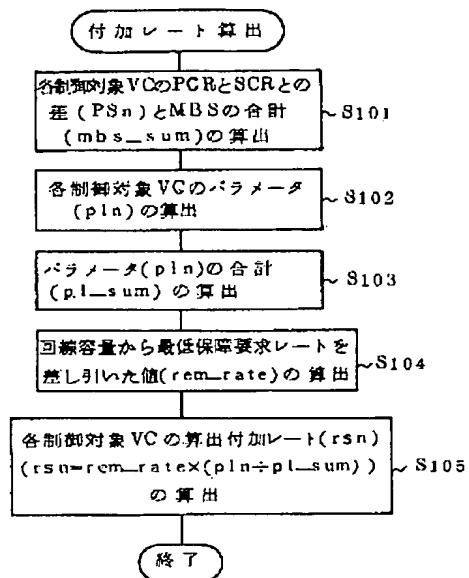
【図3】

V C名	S C R	P C R	M B S
A 0 3	4Mbps	10Mbps	200Cells
B 0 3	16Mbps	40Mbps	1000Cells
A 1 3	12Mbps	30Mbps	1000Cells
A 2 3	10Mbps	40Mbps	1500Cells
B 2 3	16Mbps	40Mbps	1600Cells
C 2 3	12Mbps	50Mbps	2000Cells
合計	80Mbps	210Mbps	

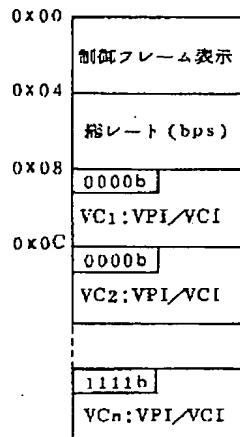
【図4】

V C名	バーストタイプ	p _{on}	w _{on}	p _{off}	p _{on} /p _{off} _sum	算出付加レート
A 0 3	0/0%	4Mbps	—	—	—	—
B 0 3	0Cells/0%	24Mbps	1000Cells	134.4	0.3158	17.4Mbps
A 1 3	50Cells/5%	18Mbps	1000Cells	100.8	0.2868	13.0Mbps
A 2 3	1550Cells/90%	10Mbps	—	—	—	—
B 2 3	0Cells/0%	24Mbps	1600Cells	84	0.1978	10.8Mbps
C 2 3	200Cells/10%	36Mbps	2000Cells	105.4	0.26	12.8Mbps
		80(VBR+SCR) + 20(CBR) = 100Mbps	5600Cells (=mbs_max)	425.6 (=pl_max)		155-100 = 55Mbps (=ram_rate)

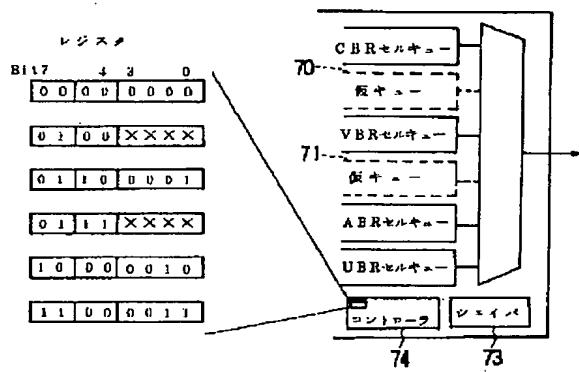
【図5】



【図6】



【図7】



【図8】

